

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-106416

(43)Date of publication of application : 21.04.1995

(51)Int.CI.

H01L 21/768

(21)Application number : 05-226749

(71)Applicant : GOLD STAR ELECTRON CO LTD

(22)Date of filing : 20.08.1993

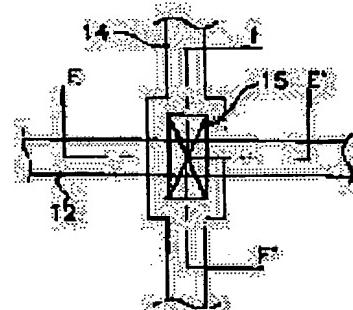
(72)Inventor : JUN YOUNG KWON

## (54) WIRING STRUCTURE FOR SEMICONDUCTOR ELEMENT

### (57)Abstract:

**PURPOSE:** To improve integration by reducing a space among wiring and reduce contact resistance.

**CONSTITUTION:** A structure includes a lower-layer wiring 12 formed with a given space, and a second insulating film formed on an upper layer on a lower-layer wiring 12 and having a contact hole 15. The contact hole 15 just above the lower-layer wiring 12 is wider than the lower-layer wiring 12. The structure includes an upper-layer wiring 14 formed on the second insulating film in a way that the upper-layer wiring 14 is joined to the lower-layer wiring 12 through the contact hole 15.



### LEGAL STATUS

[Date of request for examination] 28.07.2000

[Date of sending the examiner's decision of rejection] 30.04.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] ---

[Date of registration]

[Number of appeal against examiner's decision of rejection]

**BEST AVAILABLE COPY**

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

\* NOTICES \*

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
  2. \*\*\*\* shows the word which can not be translated.
  3. In the drawings, any words are not translated.
- 

CLAIMS

---

[Claim(s)]

[Claim 1] The 2nd insulator layer which is formed in the upper layer of lower layer wiring (12) formed by having fixed width of face, and said lower layer wiring (12), and has the contact hole (15) of width of face larger than lower layer wiring (12) in the position on lower layer wiring (12) (13), Wiring structure of the semiconductor device characterized by being constituted including the upper wiring (14) formed on the 2nd insulator layer (13) so that it may connect with lower layer wiring (12) through said contact hole.

[Claim 2] A contact hole (15) is the wiring structure of the semiconductor device given in the 1st term characterized by forming an one direction including the top face of lower layer wiring (12), and one side face.

[Claim 3] The upper wiring (14) is the wiring structure of the semiconductor device given in the 1st term characterized by having the expansion field which spreads in the both sides of the part which \*\*\*\*s in a contact hole, and the longitudinal direction of lower layer wiring (12).

[Claim 4] The upper wiring (14) is the wiring structure of the semiconductor device given in the 2nd term characterized by having the expansion field which spreads in the both sides of the part which \*\*\*\*s in a contact hole, and the longitudinal direction of lower layer wiring (12).

[Claim 5] The upper wiring (14) is the wiring structure of the semiconductor device given in the 1st term characterized by having the expansion field which spreads in one part side which \*\*\*\*s in a contact hole, and the longitudinal direction of lower layer wiring (12).

[Claim 6] The upper wiring (14) is the wiring structure of the semiconductor device given in the 2nd term characterized by having the expansion field which spreads in one part side which \*\*\*\*s in a contact hole, and the longitudinal direction of lower layer wiring (12).

[Claim 7] It is formed in the upper layer of lower layer wiring (12) formed by having fixed width of face, and said lower layer wiring (12). The 2nd insulator layer which has a contact hole (15) containing the top face, side face, and edge aspect of lower layer wiring (12) of the part which \*\*\*\*s at the edge of lower layer wiring (12) (13), Wiring structure of the semiconductor device characterized by being constituted including the upper wiring (14) formed on the 2nd insulator layer (13) so that it may connect with lower layer wiring (12) through said contact hole (15).

[Claim 8] A contact hole (15) is the wiring structure of the semiconductor device given in the 7th term characterized by being formed including the top face and edge aspect of lower layer wiring (12).

[Claim 9] The upper wiring (14) is the wiring structure of the semiconductor device given in the 5th term characterized by having the expansion field which spreads in the direction in which lower layer wiring (12) was formed from the part which \*\*\*\*s in a contact hole (15).

[Claim 10] The upper wiring (14) is the wiring structure of the semiconductor device given in the 8th term characterized by having the expansion field which spreads in the direction in which lower layer wiring (12) was formed from the part which \*\*\*\*s in a contact hole.

---

[Translation done.]

\* NOTICES \*

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

#### [0001]

[Industrial Application] Especially this invention relates to the wiring structure which has improved contact formation and a beer hole pattern (via hole pattern) about the wiring structure of a semiconductor device.

#### [0002]

[Description of the Prior Art] According to the metal wiring approach of a general semiconductor device, a contact hole is formed in the part which the upper wiring and lower layer wiring intersect. In order to ensure overlap of contact, it was made for wiring of a part with which a contact part crosses in order to secure the touch area during wiring to have the enlarged expansion field.

[0003] The formation approach of a contact hole is explained with reference to an accompanying drawing such conventionally. Drawing 1 is the top view showing a wiring example of a semiconductor device conventionally, drawing 2 (a) is the A-A' line sectional view of drawing 1, and drawing 2 (b) is the B-B' line sectional view of drawing 1. As illustrated, conventionally, according to wiring of a semiconductor device, crossover formation of the upper wiring 4 is carried out on the lower layer wiring 2, and the lower layer wiring 2 and the upper wiring 4 are carried out contact 5 in a part for these intersections. The intersection of the lower layer wiring 12 and the upper wiring 14 contacted has the expansion field made into the larger width of face for a contact margin than other fields. The manufacture approach forms the lower insulating layer 1 in a semi-conductor substrate like drawing 2, and carries out patterning of the lower layer wiring 2 on it. Then, after making the lower layer wiring 2 isolate by the up insulating layer 3, removing alternatively the up insulating layer 3 of a part which should connect the lower layer wiring 2 and forming contact 5, the lower layer wiring 2 and the upper wiring 4 are connected by forming the upper wiring 4 so that it may cross by contact 5.

[0004] Moreover, drawing 3 is the top view showing other examples of wiring of a semiconductor device conventionally, drawing 4 (a) is the C-C' line sectional view of drawing 3, and drawing 4 (b) is the D-D' line sectional view of drawing 3. This technique is indicated by the U.S. Pat. No. 4,587,549 number. As shown in drawing, this is the wiring structure of one semiconductor device which is made to form the lower layer wiring 6 so that it may connect with a substrate 5 through Contacts 8a, 8b, 8c, and 8d, and the upper wiring 7 was made to cross and was made to form on it through an insulating layer. In this case, as shown in drawing 4 (a), the thinning of the part is carried out for the upper wiring 7 in that level difference part by the effect of the level difference of a contact hole, resistance of the upper wiring increases, and the phenomenon in which reliability is weakened arises. In order to prevent it, it was made to have the part by which a contact hole is formed in the field where the upper wiring 7 and the lower layer wiring 6 cross, and the upper wiring 7 is not influenced by the configuration of a contact hole.

[0005] On the other hand, drawing 5 is the sectional view showing the example of further others of wiring of a semiconductor device conventionally, and is indicated by the U.S. Pat. No. 4,656,732 number. It was made for this technique not to form a weak part in the part of a contact hole by making metal wiring into the geometric minimum configuration by forming a side-attachment-wall oxide in a contact hole.

[0006]

[Problem(s) to be Solved by the Invention] However, the conventional technique mentioned above has the following troubles. In the former wiring structure, in order to have to make it the part which vertical layer wiring intersects in order to prevent contact incorrect alignment (contact misalign) have to have an expansion field, there is a limitation in minimizing spacing during wiring. Therefore, there was a trouble that a degree of integration could not be raised. In the latter wiring structure, although the degree of integration could improve since the contact hole was formed in the intersection during wiring of a vertical layer as indicated to U.S. Pat. No. 4,587,549, there was a fault in which the size of a contact hole decreases according to increase of a degree of integration, and contact resistance increases. Moreover, as indicated by the U.S. Pat. No. 4,656,732 number, since the size of a contact hole decreased as the degree of integration increased too, forming a side attachment wall in a contact hole, and decreasing contact width of face had the fault in which contact resistance increases rapidly. In order to cancel the trouble mentioned above, while this invention reduces wiring spacing and raises a degree of integration, it is the purpose to offer the wiring structure of a semiconductor device where contact resistance can be decreased.

[0007]

[Means for Solving the Problem] In the wiring structure of a semiconductor device where an insulator layer is connected through a contact hole on a semi-conductor substrate in lower layer wiring and the upper wiring in between according to this invention in order to attain the above-mentioned purpose A contact hole is formed so that a part of periphery section [ at least ] of lower layer wiring may be included, the upper wiring is formed so that it may have an expansion field on the whole surface at least among the part which intersects lower layer wiring, and lower layer wiring is formed so that it may not have an expansion field.

[0008]

[Example] Such this invention is explained in full detail based on an accompanying drawing. Drawing 6 is the top view showing wiring of the semiconductor device by the 1st example of this invention, drawing 7 (a) is the E-E' line sectional view of drawing 6, and drawing 7 (b) is the F-F' line sectional view of drawing 6. As shown in drawing 6, it is the structure where the contact hole 15 was formed in the part with which the contact hole 15 was formed in the part which the lower layer wiring 12 and the upper wiring 14 intersected and which the lower layer wiring 12 and the upper wiring 14 intersected, and the lower layer wiring 12 and the upper wiring 14 were connected with it. That is, the lower layer wiring 12 does not have an expansion field in an overlap part, and it forms the upper wiring 14 so that it may have an expansion field in the part which overlaps the lower layer wiring 12. The contact hole 15 is a rectangle, the longitudinal direction has turned to the cross direction of the lower layer wiring 12, and the short direction width of face of the contact hole 15 is formed in the same magnitude as the width of face of the usual section of the upper wiring 14.

[0009] The manufacture approach is explained. First, after forming the lower layer wiring 12 on the 1st insulator layer 11 on a substrate, the 2nd insulator layer 13 is formed over the exposed whole surface. Then, after removing alternatively the 2nd insulator layer 13 located above the lower layer wiring 12 and forming the contact hole 15 in the above magnitude, the upper wiring 14 is formed on it. Therefore, as shown in drawing 7 (a), the conventional technique of the E-E' line sectional view of drawing 6 is the same, but since the contact hole has spread on both sides of the width of face of lower layer wiring as the sectional view by the F-F' line of drawing 6 is shown in drawing 8, it is contacted in the top face and both-sides side of the upper wiring 14 and the lower layer wiring 12, and is increased by the touch area of the lower layer wiring 12 and the upper wiring 14.

[0010] Moreover, drawing 8 is the top view showing wiring of the semiconductor device by the 2nd example of this invention, drawing 9 is the G-G' line sectional view of drawing 8, drawing 10 is the top view showing wiring of the semiconductor device by the 3rd example of this invention, and drawing 11 is the H-H' line sectional view of drawing 10. As for the manufacture approach and wiring structure, the

point of the 2nd example and the 3rd example of this invention of having made it the upper wiring 14 have an expansion field on (left-hand side or right-hand side) as for a part of field where it is almost similar with the 1st example of this invention, and lower layer wiring overlaps is the thing and difference of the 1st example. The lower layer wiring 12 and the upper wiring 14 are connected through the contact hole 15 like the 1st example. In that case, since the contact hole 15 has spread even on both sides of the width of face of the lower layer wiring 12, a touch area increases.

[0011] Drawing 12 is the top view showing wiring of the semiconductor device by the 4th example of this invention, and drawing 13 is the I-I' line sectional view of drawing 12. Although the manufacture approach of the wiring structure by the 4th example is the same as that of the 1st example, only the point which the upper wiring 14 was made to cross and was formed in the edge of the lower layer wiring 12 carries out difference of it. That is, the contact hole 15 is formed so that the crosswise both sides and edge of the lower layer wiring 12 may be included, the upper wiring 14 is formed so that it may have an expansion field in a part of lower layer wiring 12 direction of the field where the lower layer wiring 12 overlaps, and the top face of the lower layer wiring 12, a both-sides side, and an end face are connected with the upper wiring 14. Therefore, since a touch area increases and an expansion field part decreases, the degree of integration of a semiconductor device can be raised.

[0012] On the other hand, drawing 14 is the top view showing wiring of the semiconductor device by the 5th example of this invention, and drawing 15 is the J-J' line sectional view of drawing 14, and makes the upper wiring 14 intersect the edge of the lower layer wiring 12. Although this 5th example is structure almost similar to the 4th example shown in drawing 12, the contact hole 15 does not spread crosswise [ of the lower layer wiring 12 ], but a touch area is increased when it is formed so that only an edge may be included, and the top face and edge aspect of the lower layer wiring 12 are contacted by the upper wiring 14.

[0013]

[Effect of the Invention] According to this invention, the following effectiveness is acquired as explained above.

1. Since size of a contact hole cannot be decreased but the touch area of the upper wiring and lower layer wiring can be increased, contact resistance decreases.
2. Since it is made for the upper wiring to have an expansion field to a part of field which overlaps lower layer wiring as shown in drawing 16 and lower layer wiring can be prevented from having an expansion field, spacing during wiring can be reduced and, moreover, a degree of integration can be raised.

---

[Translation done.]

\* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is the top view showing an example of wiring of the conventional semiconductor device.

[Drawing 2] They are the A-A' line sectional view (a) of drawing 1, and a B-B' line sectional view (b).

[Drawing 3] It is the top view showing other examples of wiring of the conventional semiconductor device.

[Drawing 4] They are the C-C' line sectional view (a) of drawing 3, and a D-D' line sectional view (b).

[Drawing 5] It is the sectional view showing the example of further others of wiring of the conventional semiconductor device.

[Drawing 6] It is the top view showing wiring of the semiconductor device by the 1st example of this invention.

[Drawing 7] They are the E-E' line sectional view (a) of drawing 6, and a F-F' line sectional view (b).

[Drawing 8] It is the top view showing wiring of the semiconductor device by the 2nd example of this invention.

[Drawing 9] It is the G-G' line sectional view of drawing 8.

[Drawing 10] It is the top view showing wiring of the semiconductor device by the 3rd example of this invention.

[Drawing 11] It is the H-H' line sectional view of drawing 10.

[Drawing 12] It is the top view showing wiring of the semiconductor device by the 4th example of this invention.

[Drawing 13] It is the I-I' line sectional view of drawing 12.

[Drawing 14] It is the top view showing wiring of the semiconductor device by the 5th example of this invention.

[Drawing 15] It is the J-J' line sectional view of drawing 14.

[Drawing 16] It is a top view for explaining improvement in the degree of integration by wiring of the semiconductor device of this invention.

[Description of Notations]

11 13 Insulator layer

12 Lower Layer Wiring

14 The Upper Wiring

15 Contact Hole

---

[Translation done.]

BEST AVAILABLE COPY

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-106416

(43) 公開日 平成7年(1995)4月21日

(51) Int.Cl.

H01L 21/768

識別記号

序内整理番号

F I

技術表示箇所

H01L 21/90

B

(21) 出願番号

特願平5-226749

審査請求 未請求 請求項の数10 FD (全5頁)

(22) 出願日

平成5年(1993)8月20日

(71) 出願人 591044131

ゴールドスター エレクトロンカンパニーリミテッド  
GOLD STAR ELECTRON COMPANY LIMITED  
大韓民国 チュングチエオンブグードチ  
エオンジューシヒヤンギエオンドン  
50

(72) 発明者

ヨン・ゴン・ソン  
大韓民国・ソウルーシ・ソンパーク・ガラ  
クードン・ガラクプラザ アパートメント  
3-803

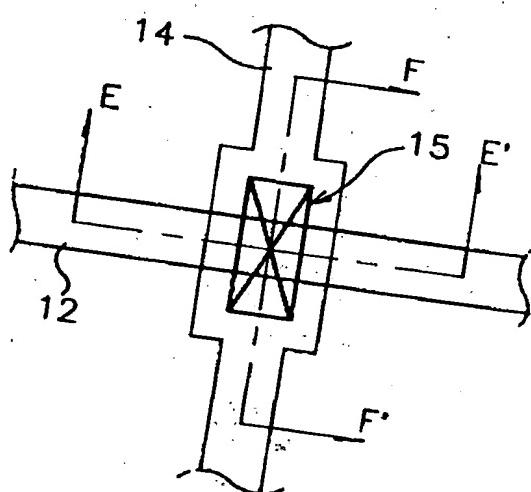
(74) 代理人 弁理士 山川 政樹

(54) 【発明の名称】 半導体素子の配線構造

(57) 【要約】

【目的】 配線間隔を減らして集積度を向上させると共に、コンタクト抵抗を減少させることができる半導体素子の配線構造を提供することにその目的がある。

【構成】 一定の幅を有して形成される下層配線12と、前記下層配線12の上層に形成され下層配線12の直上で下層配線12より広い幅のコンタクト孔15を有する第2絶縁膜13と、前記コンタクト孔を通じて下層配線12に連結されるように第2絶縁膜13上に形成される上層配線14と、を含んで構成される。



(2)

**【特許請求の範囲】**

**【請求項 1】** 一定の幅を有して形成される下層配線 (12) と、前記下層配線 (12) の上層に形成され下層配線 (12) 上の所定の位置に下層配線 (12) より広い幅のコンタクト孔 (15) を有する第 2 絶縁膜 (13) と、前記コンタクト孔を通じて下層配線 (12) に連結されるように第 2 絶縁膜 (13) 上に形成される上層配線 (14) と、を含んで構成されることを特徴とする半導体素子の配線構造。

**【請求項 2】** コンタクト孔 (15) は、一方向が下層配線 (12) の上面および一側面を含んで形成されることを特徴とする第 1 項記載の半導体素子の配線構造。

**【請求項 3】** 上層配線 (14) は、コンタクト孔に相応する部位の両側および下層配線 (12) の長手方向に拡がる拡大領域を有することを特徴とする第 1 項記載の半導体素子の配線構造。

**【請求項 4】** 上層配線 (14) は、コンタクト孔に相応する部位の両側および下層配線 (12) の長手方向に拡がる拡大領域を有することを特徴とする第 2 項記載の半導体素子の配線構造。

**【請求項 5】** 上層配線 (14) は、コントラクト孔に相応する部位の一方の側および下層配線 (12) の長手方向に拡がる拡大領域を有することを特徴とする第 1 項記載の半導体素子の配線構造。

**【請求項 6】** 上層配線 (14) は、コンタクト孔に相応する部位の一方の側および下層配線 (12) の長手方向に拡がる拡大領域を有することを特徴とする第 2 項記載の半導体素子の配線構造。

**【請求項 7】** 一定の幅を有して形成される下層配線 (12) と、前記下層配線 (12) の上層に形成され、下層配線 (12) の端部に相応する部位の下層配線 (12) の上面、側面および端部面を含むコンタクト孔 (15) を有する第 2 絶縁膜 (13) と、前記コンタクト孔 (15) を通じて下層配線 (12) に連結されるように第 2 絶縁膜 (13) 上に形成される上層配線 (14) と、を含んで構成されることを特徴とする半導体素子の配線構造。

**【請求項 8】** コンタクト孔 (15) は、下層配線 (12) の上面および端部面を含んで形成されることを特徴とする第 7 項記載の半導体素子の配線構造。

**【請求項 9】** 上層配線 (14) は、コンタクト孔 (15) に相応する部位から下層配線 (12) の形成された方向に拡がる拡大領域を有することを特徴とする第 5 項記載の半導体素子の配線構造。

**【請求項 10】** 上層配線 (14) は、コンタクト孔に相応する部位から下層配線 (12) の形成された方向に拡がる拡大領域を有することを特徴とする第 8 項記載の半導体素子の配線構造。

2

**【発明の詳細な説明】**

**【0001】**

**【産業上の利用分野】** 本発明は、半導体素子の配線構造に関し、特にコンタクト形成およびピア孔パターン (via hole pattern) を改善した配線構造に関する。

**【0002】**

**【従来の技術】** 一般の半導体素子の金属配線方法によれば、上層配線と下層配線とが交差される部分に、コンタクト孔を形成する。配線間の接触面積を確保するために、コンタクト部分の交差される部分の配線は、コンタクトのオーバラップを確実にするために大きくした拡大領域を有するようにした。

**【0003】** このような従来コンタクト孔の形成方法を添付図面を参照して説明する。図 1 は従来半導体素子の配線一例を示す平面図であり、図 2 (a) は図 1 の A-A' 線断面図であり、図 2 (b) は図 1 の B-B' 線断面図である。図示したように、従来半導体素子の配線によれば、下層配線 2 上に上層配線 4 が交差形成され、これらの交差部分において下層配線 2 と上層配線 4 とがコンタクト 5 される。下層配線 12 と上層配線 14 とのコンタクトされる交差部位は、コンタクトマージンのために他の領域より大きい幅とされた拡大領域を有する。その製造方法は図 2 のように半導体基板に下部絶縁層 1 を形成し、その上に下層配線 2 をパターニングする。その後、下層配線 2 を上部絶縁層 3 により隔離させ、下層配線 2 の接続すべき部位の上部絶縁層 3 を選択的に除去してコンタクト 5 を形成した後、上層配線 4 をコンタクト 5 で交差するように形成することにより、下層配線 2 と上層配線 4 とが連結されている。

**【0004】** また、図 3 は従来半導体素子の配線の他の例を示す平面図であり、図 4 (a) は図 3 の C-C' 線断面図であり、図 4 (b) は図 3 の D-D' 線断面図である。この技術は米国特許 4, 587, 549 号に記載されている。図に示すように、これはコンタクト 8a, 8b, 8c, 8d を通じて基板 5 に連結されるように下層配線 6 を形成させ、絶縁層を介してその上に上層配線 7 を交差させて形成させた一半導体素子の配線構造である。この場合図 4 (a) に示すように上層配線 7 がコンタクト孔の段差の影響によって、その段差部分で一部が薄肉化されて上層配線の抵抗が増加し、信頼度が弱化される現象が生じる。それを防止するために、上層配線 7 と下層配線 6 とが交差する領域内にコンタクト孔を形成して上層配線 7 がコンタクト孔の形状による影響を受けない部分を有するようにした。

**【0005】** 一方、図 5 は従来半導体素子の配線のさらに他の例を示す断面図で、米国特許 4, 656, 732 号に記載されている。この技術はコンタクト孔内に側壁酸化物を形成することにより金属配線を幾何学的の最小形状としてコンタクト孔の部分に弱い部分を形成しないよ

10

20

30

40

50

(3)

3

うにした。

### 【0006】

【発明が解決しようとする課題】しかしながら、前述した従来技術は次のような問題点がある。前者の配線構造においては、コンタクト誤整列 (contact misalignment) を防止するために、上下層配線が交差される部分が拡大領域を有するようにしなければならないため、配線間の間隔を最小化するには限界がある。従つて集積度を向上させることができない問題点があった。後者の配線構造においては、米国特許4,587,549に記載したように、コンタクト孔が上下層の配線間の交差部内に形成されるので、集積度は向上できるが、集積度の増大にしたがってコンタクト孔のサイズが減少してコンタクト抵抗が増大される欠点があった。また、米国特許4,656,732号に記載されたように、コンタクト孔内に側壁を形成してコンタクト幅を減少させるのは、やはり集積度が増大されるにしたがってコンタクト孔のサイズが減少するので、コンタクト抵抗が急激に増大される欠点があった。本発明は、上述した問題点を解消するために、配線間隔を減らして集積度を向上させると共に、コンタクト抵抗を減少させることができる半導体素子の配線構造を提供することがその目的である。

### 【0007】

【課題を解決するための手段】上記の目的を達成するために、本発明によれば、半導体基板上に、絶縁膜を間に置いて下層配線と上層配線とがコンタクト孔を通じて連結される半導体素子の配線構造において、コンタクト孔を下層配線の周縁部の少なくとも一部を含むように形成され、上層配線は下層配線と交差される部分中少なくとも一面に拡大領域を有するように形成され、下層配線は拡大領域を有しないように形成される。

### 【0008】

【実施例】このような本発明を添付図面に基づいて詳述する。図6は、本発明の第1実施例による半導体素子の配線を示す平面図であり、図7(a)は図6のE-E'線断面図であり、図7(b)は図6のF-F'線断面図である。図6に示すように、下層配線12と上層配線14とが交差された部分にコンタクト孔15が形成されて下層配線12と上層配線14とが交差された部分にコンタクト孔15が形成されて下層配線12と上層配線14とが連結された構造である。すなわち、下層配線12はオーバラップ部分において拡大領域を有しなく、上層配線14は下層配線12とオーバラップされる部分において拡大領域を有するように形成している。コンタクト孔15は長方形であり、その長手方向が下層配線12の幅方向を向いており、コンタクト孔15の短方向幅は上層配線14の通常部の幅と同一の大きさで形成される。

【0009】その製造方法を説明する。まず、基板上の第1絶縁膜11上に、下層配線12を形成した後、露出された全面にわたって第2絶縁膜13を形成する。その

(3)

4

後、下層配線12の上方に位置する第2絶縁膜13を選択的に除去して上述のような大きさでコンタクト孔15を形成した後、その上に上層配線14を形成する。したがって、図7(a)に示すように、図6のE-E'線断面図は従来技術の同様のものであるが、図6のF-F'線による断面図は図8に示すように、コンタクト孔が下層配線の幅の両側に拡がっているので、上層配線14および下層配線12の上面と両側面とに接触されて下層配線12と上層配線14との接触面積は増加される。

【0010】また、図8は本発明の第2実施例による半導体素子の配線を示す平面図であり、図9は図8のG-G'線断面図であり、図10は本発明の第3実施例による半導体素子の配線を示す平面図であり、図11は図10のH-H'線断面図である。本発明の第2実施例および第3実施例は、製造方法および配線構造は本発明の第1実施例とほとんど類似し、下層配線のオーバラップされる領域の一部のみ（左側または右側）に上層配線14が拡大領域を有するようにした点が第1実施例のものと相異である。第1実施例と同様に下層配線12と上層配線14とはコンタクト孔15を通じて接続される。その際コンタクト孔15は下層配線12の幅の両側にまで拡がっているので接触面積は増大される。

【0011】図12は本発明の第4実施例による半導体素子の配線を示す平面図であり、図13は図12のI-I'線断面図である。第4実施例による配線構造の製造方法は、第1実施例と同一であるが、下層配線12の端部に上層配線14を交差させて形成した点のみが相異する。すなわち、下層配線12の幅方向両側と端部とを含むようにコンタクト孔15を形成し、上層配線14は下層配線12のオーバラップされる領域の下層配線12方向の一部にのみ拡大領域を有するように形成して下層配線12の上面、両側面、端面が上層配線14と連結されるようにする。したがって、接触面積が増大され拡大領域部分が減少されるので、半導体素子の集積度を向上させることができる。

【0012】一方、図14は本発明の第5実施例による半導体素子の配線を示す平面図であり、図15は図14のJ-J'線断面図で、下層配線12の端部に上層配線14を交差させたものである。この第5実施例は図12に示した第4実施例にほとんど類似した構造であるが、コンタクト孔15が下層配線12の幅方向に拡がらず、端部のみが含まれるように形成されて下層配線12の上面および端部面が上層配線14に接触されることにより接触面積を増大したものである。

### 【0013】

【発明の効果】以上説明したように、本発明によれば、次のような効果が得られる。

1. コンタクト孔のサイズを減少せず、上層配線と下層配線との接触面積を増大させることができるので、コンタクト抵抗が減少される。

(4)

5

2. 図16に示すように上層配線は下層配線にオーバラップされる領域の一部分のみに拡大領域を有するようにし、下層配線は拡大領域を有しないようにすることができる、配線間の間隔を減らすことができ、しかも集積度を向上させることができる。

## 【図面の簡単な説明】

【図1】従来の半導体素子の配線の一例を示す平面図である。

【図2】図1のA-A' 線断面図(a)とB-B' 線断面図(b)である。

【図3】従来の半導体素子の配線の他の例を示す平面図である。

【図4】図3のC-C' 線断面図(a)と、D-D' 線断面図(b)である。

【図5】従来の半導体素子の配線のさらに他の例を示す断面図である。

【図6】本発明の第1実施例による半導体素子の配線を示す平面図である。

【図7】図6のE-E' 線断面図(a)とF-F' 線断面図(b)である。

(4)

6

【図8】本発明の第2実施例による半導体素子の配線を示す平面図である。

【図9】図8のG-G' 線断面図である。

【図10】本発明の第3実施例による半導体素子の配線を示す平面図である。

【図11】図10のH-H' 線断面図である。

【図12】本発明の第4実施例による半導体素子の配線を示す平面図である。

【図13】図12のI-I' 線断面図である。

【図14】本発明の第5実施例による半導体素子の配線を示す平面図である。

【図15】図14のJ-J' 線断面図である。

【図16】本発明の半導体素子の配線による集積度の向上を説明するための平面図である。

## 【符号の説明】

11, 13 絶縁膜

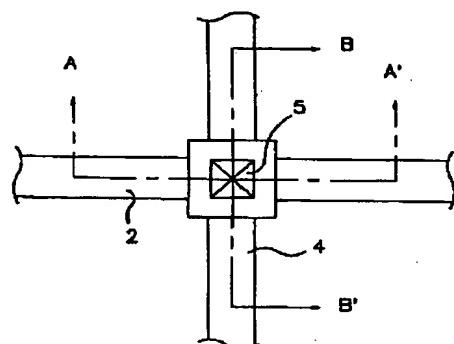
12 下層配線

14 上層配線

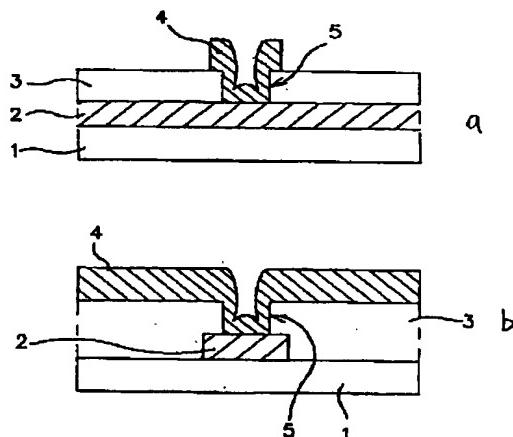
15 コンタクト孔

20

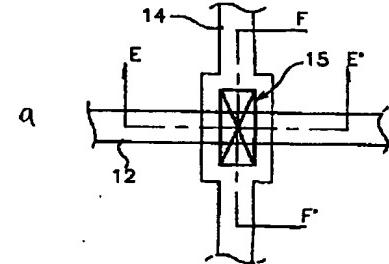
【図1】



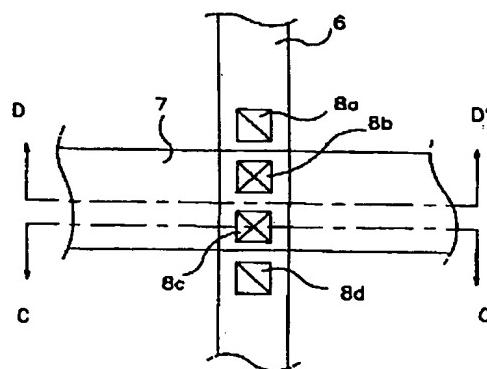
【図2】



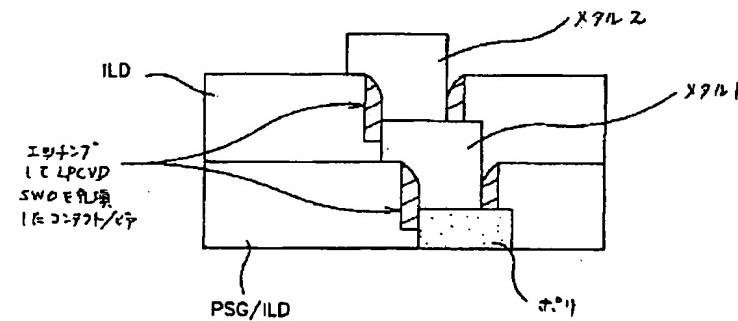
【図6】



【図3】

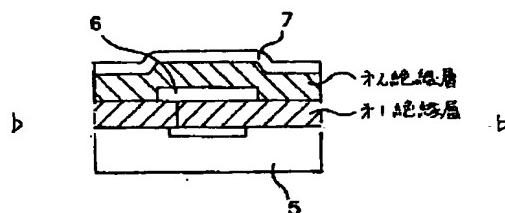
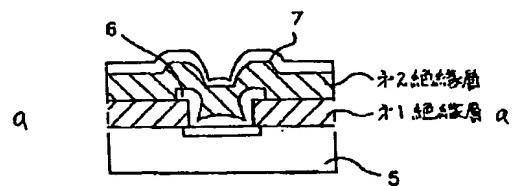


【図5】

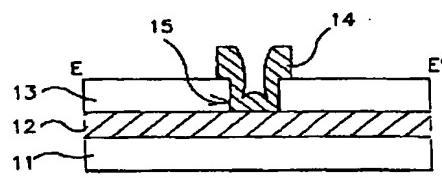


(5)

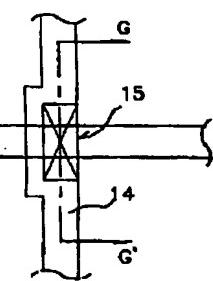
【図4】



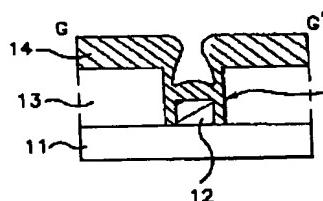
【図7】



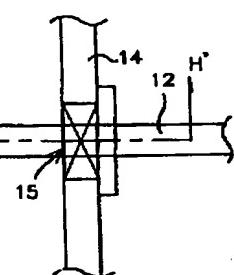
【図8】



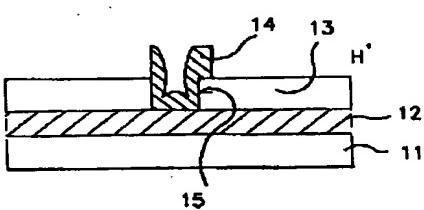
【図9】



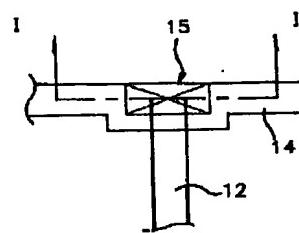
【図10】



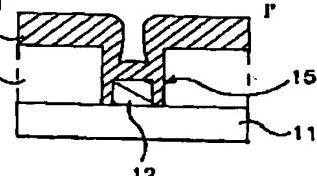
【図11】



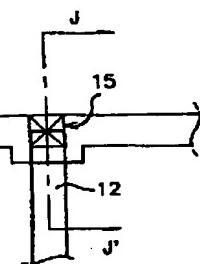
【図12】



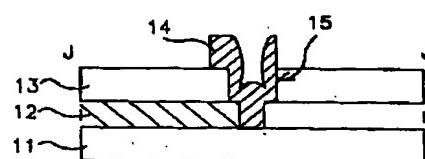
【図13】



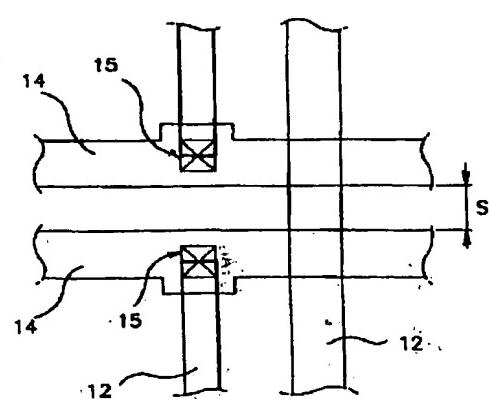
【図14】



【図15】



【図16】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**